

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

ATTY. DOCKET NO. 028213-0101

In re Patent Application of
Ki-Young LEE, et al.

Serial No.: Unassigned Group Art Unit: Unassigned
Filed: September 3, 1999 Examiner: Unassigned
For: CAPACITOR OF SEMICONDUCTOR INTEGRATED CIRCUIT
AND ITS FABRICATING METHOD

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:


The benefit of the filing date of the following
prior foreign application filed in the following foreign
country is hereby requested, and the right of priority
provided in 35 U.S.C. 119, is hereby claimed.

In support of this claim, filed herewith is a
certified copy of said original foreign application:

Korean Patent Application
No. 98-43463 filed October 17, 1998.

Respectfully submitted,

September 3, 1999


Eugene M. Lee
Reg. No. 32,039

FOLEY & LARDNER
3000 K Street, N.W.
Suite 500
Washington, D.C. 20007-5109
Tel: (202) 672-5300

#21 Priority
Paper
10-5-99
JC675 U.S. PTO
09/389491
09/03/99

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1998년 특허출원 제43463호
Application Number

출원년월일 : 1998년 10월 17일
Date of Application

출원인 : 삼성전자주식회사
Applicant(s)

199 9 년 1 월 21 일

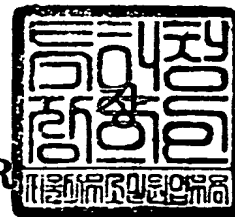


특

허

청

COMMISSIONER



특허출원서

【출원번호】 98-043463

【출원일자】 1998/10/17

【국제특허분류】 G11C

【발명의 국문명칭】 반도체 집적회로의 커패시터 및 그 제조방법

【발명의 영문명칭】 Capacitor of semiconductor integrated circuit and method for fabricating the same.

【출원인】

【국문명칭】 삼성전자 주식회사

【영문명칭】 SAMSUNG ELECTRONICS CO., LTD

【대표자】 윤종용

【출원인코드】 14001979

【출원인구분】 국내상법상법인

【우편번호】 442-373

【주소】 경기도 수원시 팔달구 매탄3동 416번지

【국적】 KR

【대리인】

【성명】 김능균

【대리인코드】 A401

【전화번호】 02-508-5141

【우편번호】 135-080

【주소】 서울특별시 강남구 역삼동 822-5번지

【발명자】

【국문성명】 이기영

【영문성명】 LEE, Ki Young

【주민등록번호】 671118-1396818

【우편번호】 441-390

【주소】 경기도 수원시 권선구 권선동 1265 유원아파트 608-1007

【국적】 KR

【발명자】

【국문성명】 홍석우

【영문성명】 HONG, Seok Woo

【주민등록번호】 640309-1000219

【우편번호】 441-390

【주소】 경기도 수원시 권선구 권선동 1267 한성아파트 812-605

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

김능균 (인)

【심사청구】 특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

대리인

김능균 (인)

【수신처】 특허청장 귀하

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	3 면	3,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	24 항	877,000 원
【합계】		909,000 원

【첨부서류】 1. 요약서, 명세서(및 도면) 각 1통

2. 출원서 부분, 요약서, 명세서(및 도면)을 포함하는 FD부분 1통

3. 위임장(및 동 번역문)

【요약서】

【요약】

커패시터 제조시 야기되는 공정 불량(비어 홀 하단부의 양 에지측에서 유전막의 연결이 제대로 이루어지지 않는 불량) 발생을 막을 수 있도록 하여 수율 향상을 기할 수 있도록 한 반도체 집적회로의 커패시터 및 그 제조방법이 개시된다. 이를 구현하기 위하여, 본 발명에서는 제 1 배선 라인과 하부전극이 구비된 절연기판 상에 층간 절연막을 형성한 뒤, 하부전극과 제 1 배선 라인의 표면이 소정 부분 노출되도록 층간 절연막을 선택식각하여 상기 층간 절연막 내에 폭이 넓은 제 1 비어 홀과 폭이 좁은 제 2 비어 홀을 동시에 형성하고, 제 1 및 제 2 비어 홀을 포함한 상기 층간 절연막 상에 도전성막을 형성한 다음, 이를 에치백하여 제 1 비어 홀의 양 내측벽에는 스페이서를 형성하고, 제 2 비어 홀 내부에는 도전성 플러그를 형성한 뒤, 상기 결과물 전면에 유전막을 형성하는 공정을 거쳐 제조되는 커패시터가 제공된다.

【대표도】

도 10

【명세서】

【발명의 명칭】

반도체 집적회로의 커패시터 및 그 제조방법

【도면의 간단한 설명】

도 1 내지 도 4는 MIM 구조를 갖는 종래 로직 회로나 아날로그 회로의 커패시터 제조방법을 도시한 공정수순도,

도 5는 도 1 내지 도 4에 제시된 공정에 의거하여 커패시터를 제조하였을 때 야기되는 공정 불량 형태를 도시한 요부상세도,

도 6 내지 도 10은 MIM 구조를 갖는 본 발명에 의한 로직 회로나 아날로그 회로의 커패시터 제조방법을 도시한 공정수순도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 반도체 집적회로(IC)의 커패시터 및 그 제조방법에 관한 것으로, 보다 상세하게는 로직 회로(Logic circuit)나 아날로그 회로(Analoge circuit)에 사용되는 MIM(Metal Insulator Metal) 구조를 갖는 반도체 집적회로의 커패시터 및 그 제조방법에 관한 것이다.

반도체 집적회로는 신호 처리 방식에 따라 크게, 입력신호 변화에 의해 출력신호가 온/오프(on/off)형으로 변화되는 디지털(digital)형 집적회로(일명, 로직 회로라 한다)와, 입력신호 변화에 의해 출력신호가 선형적으로 변화되는 아날로그

(analog)형 집적회로(일명, 아날로그 회로라 한다)로 구분된다.

상기 집적회로들은 디지털형이나 아날로그형에 구분없이 모두 커패시터에 축적된 전하의 유·무에 따라 정보의 기억이 이루어지므로, 이들 회로들이 정상적인 동작 특성을 유지하기 위해서는 소자 제조시 전압이나 온도 변화에 따라 커패시턴스가 변화되지 않도록 커패시터를 제작해 주어야 한다.

이로 인해, 현재는 반도체 집적회로(CMOS 아날로그 회로) 제조시 커패시터를 일반 MOS FETs 커패시터나 정선 커패시터(junction capacitor)와는 달리 바이어스에 의존하지 않는 PIP(Polysilicon-Insulator-polysilicon) 구조나 MIM(Metal-Insulator-Metal) 구조로 가져가고 있다.

이중, MIM 구조의 커패시터는 단위 면적당 커패시턴스를 PIP 커패시터에 비해 크게 확보하기 어렵다는 단점을 가지기는 하나 전압 변화에 따른 커패시턴스의 변화율을 나타내는 VCC(Voltage Coefficient of Capacitance)와 온도 변화에 따른 커패시턴스의 변화율을 나타내는 TCC(Temperature Coefficient of Capacitance)가 PIP 커패시터에 비해 매우 양호한 특성(예컨대, PIP 커패시터의 경우에는 VCC가 220ppm(part per million)/V 정도의 값을 가지고 TCC가 120ppm/°C 정도의 값을 가지는 반면, MIM 커패시터의 경우는 VCC가 60ppm/V 정도의 값을 가지고 TCC가 70ppm/°C 정도의 값을 가짐)을 나타내기 때문에 정밀한 아날로그 제품을 제조하는데 더 유리하다는 잇점을 지녀 최근에는 로직 회로나 아날로그 회로의 커패시터를 MIM 구조로 가져가고 있는 추세이다.

도 1 내지 도 4에는 이와 관련된 MIM 구조를 갖는 종래의 로직 회로나 아날

로그 회로의 커패시터 제조방법을 도시한 공정수순도가 제시되어 있다. 상기 공정 수순도를 참조하여 그 제조방법을 제 4 단계로 구분하여 살펴보면 다음과 같다.

제 1 단계로서, 도 1에 도시된 바와 같이 임의의 배선 라인이 구비된 절연기판(100) 상에 Al 합금 재질의 제 1 도전성막을 형성한 뒤, 커패시터 형성부와 배선 라인 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 제 1 도전성막을 식각하여, 상기 기판(100) 상에 제 1 배선 라인(102b)과 하부전극(102a)을 동시에 형성한다. 이때, 제 1 배선 라인(102b)은 도전성 플러그(미 도시)를 매개체로하여 절연기판(100) 내의 임의의 배선 라인과 전기적으로 연결되도록 형성된다.

제 2 단계로서, 도 2에 도시된 바와 같이 제 1 배선 라인(102b)과 하부전극(102a)을 포함한 절연기판(100) 상에 평탄화된 층간 절연막(104)을 형성하고, 하부전극(102a)의 표면이 소정 부분 노출되도록 이를 선택식각하여 상기 절연막(104) 내에 폭이 넓은 제 1 비어 홀(h1)을 형성한다.

제 3 단계로서, 도 3에 도시된 바와 같이 제 1 비어 홀(h1)의 내부와 층간 절연막(104) 상에 CVD법을 이용하여 유전막(106)을 형성한 뒤, 제 1 배선 라인(102b)의 표면이 소정 부분 노출되도록 유전막(106)과 층간 절연막(104)을 선택식각하여 상기 절연막(104) 내에 폭이 좁은 제 2 비어 홀(h2)을 형성한다. 이때, 유전막(106)은 "플라즈마 산화막(plasma Si-oxide)/플라즈마 질화막(plasma Si-nitride)"의 적층 구조나 "플라즈마 산화막(plasma Si-oxide)/플라즈마 산화질화막(plasma-oxinitride)"의 적층 구조로 형성된다. 이어, 제 1 배선 라인(102b)의 표면 노출부에 존재할 가능성이 있는 산화막(예컨대, 층간 절연막 식각 과정에서

생성된 식각부산물(Al_2O_3 , 폴리머)이나 자연 산화막)을 제거하기 위하여 RF 바이어스(radio frequency bias)를 이용한 스퍼터 식각(일명, RF 스퍼터 식각이라 한다)을 실시한다.

제 4 단계로서, 도 4에 도시된 바와 같이 제 2 비어 홀(h2)내에만 선택적으로 W 재료의 도전성 플러그(108)를 형성한 뒤, 상기 결과물 전면에 Al 합금 재료의 제 2 도전성막을 형성하고, 커패시터 형성부와 배선 라인 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 제 2 도전성막을 식각하여 제 2 배선 라인(110b)과 상부전극(110a)을 동시에 형성하므로써, 본 공정 진행을 완료한다.

그 결과, 절연기판(100) 상의 소정 부분에는 도전성 플러그(108b)를 사이에 두고 그 상·하부에 제 1 및 제 2 배선 라인(102b),(110b)이 순차 적층된 구조의 배선 라인이 형성되고, 상기 배선 라인 일측의 절연기판(100) 상에는 유전막(106)을 사이에 두고, 그 상·하부에 Al 재료의 하부전극(102a)과 상부전극(110a)이 순차 적층된 구조(MIM 구조)의 커패시터가 형성된다.

그러나, 상기 공정을 적용하여 로직 회로나 아날로그 회로의 커패시터를 제조할 경우에는 공정 진행 과정에서 다음과 같은 문제가 발생된다.

제 1 비어 홀(h1)을 형성하기 위한 층간 절연막(104) 식각시 층간 절연막(104)외에 하부전극(102a)도 일부 함께 등방성 식각이 이루어지게 되므로, 식각 공정이 완료되면 제 1 비어 홀(h1) 하단부 외곽쪽의 하부전극(102a)까지도 일부 함께 언더 컷(under cut)되어져 이 부분에 오목한 형상의 골이 만들어지게 된다.

따라서, 이 상태에서 후속 공정인 유전막(106) 증착 공정을 실시하게 되면

상기 골 내부에는 유전막이 제대로 채워지지 않게 되므로 이 부분에서 유전막이 끊어지는 연결 불량(disconnection)이 발생하게 된다.

이러한 불량이 발생될 경우, 누설전류 발생으로 인해 소자 구동시 균일한 커패시턴스를 확보할 수 없게 되므로 커패시터의 특성이 저하되는 현상이 야기되게 되고, 심할 경우 커패시터가 파괴되는 불량이 초래되기도 하여 수율이 떨어지는 문제가 발생되므로 이에 대한 개선책이 시급하게 요구되고 있다.

도 5에는 이해를 돕기 위하여 상기에 언급된 불량이 발생된 경우에 있어서의 도 3의 I 부분을 확대 도시한 요부상세도가 제시되어 있다. 도 5에서 참조부호 A로 표시된 부분은 오목한 형상의 골이 형성된 부분에서 유전막의 연결 불량이 발생된 것을 보여준 것이다.

【발명이 이루고자 하는 기술적 과제】

이에 본 발명의 목적은 MIM 구조를 갖는 로직 회로나 아날로그 회로의 커패시터 제조시, 제 1 비어 홀(커패시터 형성부에 만들어지는 비어 홀)(h1)과 제 2 비어 홀(배선 형성부에 만들어지는 비어 홀)(h2)을 동시에 형성한 뒤, 도전성막 증착 공정과 이의 에치백 공정을 거쳐 제 1 비어 홀의 양 내측벽에는 스페이서를 그리고 제 2 비어 홀 내부에는 도전성 플러그를 형성해 주어 제 1 비어 홀의 측면 프로파일(profile)이 완만한 경사를 가지도록 한 상태에서 유전막 형성이 이루어지도록 공정을 변경해 주므로써, 비어 홀 하단부의 양 에지측에서 유전막의 연결 불량이 발생되는 것을 막을 수 있도록 하여 소자 제조시 수율 향상을 꾀할 수 있도록 한 반도체 집적회로의 커패시터를 제공함에 있다.

본 발명의 다른 목적은, 상기 반도체 집적회로의 커패시터를 효과적으로 제조할 수 있는 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

상기 목적을 달성하기 위하여 본 발명에서는 절연기판 상의 소정 부분에는 도전성막 재질의 하부전극이 형성되고, 상기 하부전극을 포함한 상기 절연기판 상에는 층간 절연막이 형성되며, 상기 층간 절연막 내에는 상기 하부전극의 표면이 소정 부분 노출되도록 상기 절연막을 관통하여 비어 홀이 형성되고, 상기 비어 홀의 양 측벽에는 스페이서가 형성되며, 상기 비어 홀의 바텀면과 상기 스페이서를 포함한 상기 층간 절연막 상의 소정 부분에 걸쳐서는 유전막이 형성되고, 상기 유전막을 포함한 상기 층간 절연막 상의 소정 부분에 걸쳐서는 상부전극이 형성된 구조를 갖는 반도체 집적회로의 커패시터가 제공된다.

상기 다른 목적을 달성하기 위하여 본 발명에서는 절연기판 상의 소정 부분에 제 1 배선 라인과 하부전극을 동시에 형성하는 단계와; 상기 제 1 배선 라인과 상기 하부전극을 포함한 상기 기판 상에 층간 절연막을 형성하는 단계와; 상기 하부전극과 상기 제 1 배선 라인의 표면이 소정 부분 노출되도록 상기 층간 절연막을 선택식각하여 상기 층간 절연막 내에 폭이 넓은 제 1 비어 홀과 폭이 좁은 제 2 비어 홀을 동시에 형성하는 단계와; 상기 제 1 및 제 2 비어 홀을 포함한 상기 층간 절연막 상에 도전성막을 형성하는 단계와; 상기 도전성막을 에치백하여 상기 제 1 비어 홀의 양 내측벽에는 스페이서를 형성하고, 상기 제 2 비어 홀 내부에는 도전성 플러그를 형성하는 단계와; 상기 결과물 전면에 유전막을 형성하는 단계와; 커

패시터 형성부를 한정하는 마스크를 이용하여 커패시터 형성부를 제외한 영역의 상기 유전막을 제거하는 단계; 및 상기 층간 절연막 상의 소정 부분에 상기 도전성 플러그와 연결되는 제 2 배선 라인과 상기 유전막과 연결되는 상부전극을 동시에 형성하는 단계로 이루어진 반도체 집적회로의 커패시터 제조방법이 제공된다.

상기 구조를 가지도록 로직 회로나 아날로그 회로의 커패시터를 제조할 경우, 도전성막 재질의 스페이서로 인해 제 1 비어 홀의 측면 프로파일이 완만한 경사를 가지게 되므로, 이후 유전막 형성 공정을 진행하더라도 제 1 비어 홀 하단의 양 에지측에서 유전막 증착이 제대로 이루어지지 않는 연결 불량에 발생하지 않게 된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

본 발명은 로직 회로나 아날로그 회로의 커패시터 제조시 도전성막 재질의 스페이서를 이용하여 제 1 비어 홀의 측면 프로파일을 완만한 경사를 가지도록 만들어 준 상태에서 유전막 증착이 이루어지도록 공정을 변경해 주므로써, 비어 홀 하단의 양 에지측에서 유전막의 연결 불량이 발생하는 것을 막을 수 있도록 하여 커패시터의 불량 발생율을 줄일 수 있도록 하는데 주안점을 둔 기술로서, 이를 도 6 내지 도 10에 제시된 도면을 참조하여 살펴보면 다음과 같다.

여기서, 도 6 내지 도 10은 본 발명에서 제안된 MIM 구조를 갖는 로직이나 아날로그 회로의 커패시터 제조방법을 도시한 공정순도를 나타낸 것으로, 이를 참조하여 그 제조방법을 제 5 단계로 구분하여 살펴보면 다음과 같다.

제 1 단계로서, 도 6에 도시된 바와 같이 절연기판(200) 상에 Al 합금이나 Cu 합금 재질의 제 1 도전성막을 형성한 뒤, 커패시터 형성부와 배선 라인 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 제 1 도전성막을 식각하여 상기 기판(200) 상에 제 1 배선 라인(202b)과 하부전극(202a)을 동시에 형성한다.

이때, 상기 제 1 배선 라인(202b)과 하부전극(202a) 형성 공정은 막질 패턴닝 특성을 향상시키고 절연기판(200)과 하부전극(202a) 간의 접촉 저항을 낮추어 주기 위하여, 절연기판(200) 상에 장벽 금속막(미 도시)과 제 1 도전성막 및 반사 방지막(anti-reflection layer)(미 도시)을 순차적으로 형성한 상태에서 커패시터 형성부와 배선 라인 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 이들을 식각해 주는 방식으로 진행할 수도 있다. 이 경우, 상기 장벽 금속막과 반사 방지막으로는 Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N의 단층 구조나 이들이 조합된 적층막이 사용된다.

제 2 단계로서, 도 7에 도시된 바와 같이 제 1 배선 라인(202b)과 하부전극(202a)을 포함한 절연기판(200) 상에 평탄화된 층간 절연막(204)을 형성한 뒤, 하부전극(202a)의 표면과 제 1 배선 라인(202b)의 표면이 소정 부분 노출되도록 이를 건식식각하여 상기 절연막(204) 내에 폭이 넓은 제 1 비어 홀(h1)과 폭이 좁은 제 2 비어 홀(h2)을 동시에 형성한다. 이어, 제 1 배선 라인(202b)과 하부전극(202a) 상에 존재할 가능성이 있는 산화막(예컨대, 층간 절연막 식각 과정에서 생성된 식각부산물이나 자연 산화막)을 제거하기 위하여 RF 스퍼터 식각을 실시한다.

이때, 층간 절연막(204)의 식각 공정은 건식식각 공정 이외에 습식식각 공정

을 이용하여 실시할 수도 있고, 경우에 따라서는 습식식각 공정과 건식식각 공정을 조합하여 실시해 주는 방식(예컨대, 습식식각후 건식식각을 실시해 주는 방식이나 건식식각후 습식식각을 실시하고, 연이어 다시 건식식각을 실시해 주는 방식)으로 실시할 수도 있다.

제 3 단계로서, 도 8에 도시된 바와 같이 제 1 및 제 2 비어 홀(h1),(h2)을 포함한 층간 절연막(204) 상에 W 재질의 제 2 도전성막(206)을 형성한다.

제 4 단계로서, 도 9에 도시된 바와 같이 제 2 도전성막(206)을 이방성 건식 식각법으로 에치백하여 제 1 비어 홀(h1)의 양 내측벽에는 W 재질의 스페이서(208)를 형성하고 제 1 비어 홀(h2) 내부에는 W 재질의 도전성 플러그(210)를 형성한 다음, CVD법을 이용하여 상기 결과물 전면에 유전막(106)을 형성한다. 상기 유전막(106)은 산화막(예컨대, PEOX(Plasma Enhanced Oxide), P-SiH₄, HDP(High Density Plasma))이나 질화막(예컨대, PESiN(Plasma Enhanced nitride))의 단층 구조 혹은 이들이 조합된 적층막(예컨대, "산화막/질화막"의 적층막, "질화막/산화막"의 적층막, "산화막/질화막/산화막"의 적층막, "질화막/산화막/질화막"의 적층막) 구조로 형성된다.

이와 같이, 스페이서(208)를 이용하여 인위적으로 제 1 비어 홀(h1)의 측면 프로파일이 완만한 경사를 가지도록 한 상태에서 유전막을 형성한 것은 상기 비어 홀(h1)의 측면 프로파일이 수직에 가까운 가파른 형상을 가질 경우 유전막 증착시 제 1 비어 홀(h1) 하단부의 양 에지측에서 도 5에 도시된 형태의 연결 불량 발생되므로 이를 방지하기 위함이다.

제 5 단계로서, 도 10에 도시된 바와 같이 커패시터 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 커패시터 형성부를 제외한 영역의 상기 유전막(212)를 제거하고, 도전성 플러그(210)와 유전막(212)을 포함한 층간 절연막(204) 상에 Al 합금이나 Cu 합금 재질의 제 3 도전성막을 형성한 뒤, 커패시터 형성부와 배선 라인 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 제 3 도전성막을 식각하여 제 2 배선 라인(214b)과 상부전극(214a)을 형성하므로써, 본 공정 진행을 완료한다. 이때, 상부전극(214b)은 제 1 비어 홀(h1) 내에 형성된 유전막(212)보다 큰 선폭을 가지도록 형성되며, 제 2 배선 라인(214b)은 도전성 플러그(210)와 연결되도록 형성된다.

이 경우 역시, 제 2 배선 라인(214b)과 상부전극(214a) 형성 공정은 막질 패터닝 특성을 향상시킴과 동시에 접촉 저항을 낮추어 주기 위하여 도전성 플러그(210)와 유전막(212)을 포함한 층간 절연막(204) 상에 장벽 금속막(미 도시)과 제 3 도전성막 및 반사 방지막(미 도시)을 순차적으로 형성한 다음, 커패시터 형성부와 배선 라인 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 이들을 순차적으로 식각해 주는 방식으로 진행할 수도 있다.

그 결과, 도 10에 도시된 바와 같이 절연기판(200) 상의 소정 부분에는 도전성막 재질의 하부전극(202a)이 형성되고, 하부전극(202a)을 포함한 절연기판(200) 상에는 층간 절연막(204)이 형성되며, 층간 절연막(204) 내에는 하부전극(202a)의 표면이 소정 부분 노출되도록 상기 절연막(204)을 관통하여 비어 홀(h1)이 형성되고, 상기 비어 홀(h1)의 양 내측벽에는 도전성막 재질의 스페이서(208)가 형성되

며, 상기 비어 홀의 바텀면과 스페이서(208)를 포함한 층간 절연막(204) 상의 소정 부분에 걸쳐서는 유전막(212)이 형성되고, 유전막(212)을 포함한 층간 절연막(204) 상의 소정 부분에 걸쳐서는 도전성막 재질의 상부전극(214a)이 형성된 구조(MIM 구조)의 커패시터가 완성된다.

상기 구조를 가지도록 반도체 집적회로의 커패시터를 제조할 경우, W 재질의 스페이서(208)를 이용하여 제 1 비어 홀(h1)의 측면 프로파일이 완만한 경사를 이루도록 한 상태에서 유전막 형성 공정이 진행되므로, 유전막 증착 과정에서 야기되던 불량(비어 홀 하단부의 양 에지측에서 유전막의 연결이 제대로 이루어지지 않았던 불량) 발생을 막을 수 있게 되어 균일한 커패시턴스 확보가 가능하게 된다.

【발명의 효과】

이상에서 살펴본 바와 같이 본 발명에 의하면, 로직 회로나 아날로그 회로의 커패시터 제조시 W 재질의 스페이서를 이용하여 비어 홀의 측면 프로파일이 완경사를 이루도록 한 상태에서 유전막 형성 공정이 진행되도록 공정을 변경해 주므로써, 비어 홀 하단부의 양 에지측에서 유전막의 연결 불량이 발생되던 것을 제거할 수 있게 되어 커패시터의 불량 발생을 막을 수 있게 되므로 수율 향상을 기할 수 있게 된다.

【특허청구범위】

【청구항 1】

절연기판 상의 소정 부분에는 형성된 도전성막 재질의 하부전극과;
상기 하부전극을 포함한 상기 절연기판 상에 형성된 층간 절연막과;
상기 하부전극의 표면이 소정 부분 노출되도록 상기 층간 절연막을 관통하여
형성된 비어 홀과;
상기 비어 홀의 양 측벽에 형성된 스페이서와;
상기 비어 홀의 바텀면과 상기 스페이서를 포함한 상기 층간 절연막 상의 소
정 부분에 걸쳐 형성된 유전막; 및
상기 유전막을 포함한 상기 층간 절연막 상의 소정 부분에 걸쳐 형성된 상부
전극으로 이루어진 것을 특징으로 하는 반도체 집적회로의 커패시터.

【청구항 2】

제 1항에 있어서, 상기 스페이서는 W 재질의 도전성막으로 이루어진 것을 특징으로
하는 반도체 집적회로의 커패시터.

【청구항 3】

제 1항에 있어서, 상기 유전막은 산화막이나 질화막의 단층 구조나 이들이 조합된
적층막 구조를 갖는 것을 특징으로 하는 반도체 집적회로의 커패시터.

【청구항 4】

제 3항에 있어서, 상기 산화막은 PEOX, P-SiH₄, HDP 중 선택된 어느 하나로 이루어
진 것을 특징으로 하는 반도체 집적회로의 커패시터.

【청구항 5】

제 3항에 있어서, 상기 절화막은 PESiN인 것을 특징으로 하는 반도체 집적회로의 커패시터.

【청구항 6】

제 3항에 있어서, 상기 적층막은 "산화막/절화막" 구조의 적층막, "절화막/산화막" 구조의 적층막, "산화막/절화막/산화막" 구조의 적층막, "절화막/산화막/절화막" 구조의 적층막 중 선택된 어느 하나로 이루어진 것을 특징으로 하는 반도체 집적회로의 커패시터.

【청구항 7】

제 1항에 있어서, 상기 하부전극과 상기 상부전극은 Al 합금이나 Cu 합금으로 이루어진 것을 특징으로 하는 반도체 집적회로의 커패시터.

【청구항 8】

제 7항에 있어서, 상기 하부전극과 상기 상부전극은 상기 Al 합금이나 상기 Cu 합금 상면에 각각 반사 방지막이 더 구비되도록 형성된 것을 특징으로 하는 반도체 집적회로의 커패시터.

【청구항 9】

제 8항에 있어서, 상기 반사 방지막은 Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N의 단층 구조나 이들이 조합된 적층막 구조로 이루어진 것을 특징으로 하는 반도체 집적회로의 커패시터.

【청구항 10】

제 7항에 있어서, 상기 하부전극과 상기 상부전극은 상기 Al 합금이나 상기 Cu 합금 하면에 각각 장벽 금속막이 더 구비되도록 형성된 것을 특징으로 하는 반도체 집적회로의 커패시터.

【청구항 11】

제 10항에 있어서, 상기 장벽 금속막은 Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N의 단층 구조나 이들이 조합된 적층막 구조로 이루어진 것을 특징으로 하는 반도체 집적회로의 커패시터.

【청구항 12】

절연기판 상의 소정 부분에 제 1 배선 라인과 하부전극을 동시에 형성하는 단계와;

상기 제 1 배선 라인과 상기 하부전극을 포함한 상기 기판 상에 층간 절연막을 형성하는 단계와;

상기 하부전극과 상기 제 1 배선 라인의 표면이 소정 부분 노출되도록 상기 층간 절연막을 선택식각하여 상기 층간 절연막 내에 폭이 넓은 제 1 비어 홀과 폭이 좁은 제 2 비어 홀을 동시에 형성하는 단계와;

상기 제 1 및 제 2 비어 홀을 포함한 상기 층간 절연막 상에 도전성막을 형성하는 단계와;

상기 도전성막을 에치백하여 상기 제 1 비어 홀의 양 내측벽에는 스페이서를 형성하고, 상기 제 2 비어 홀 내부에는 도전성 플러그를 형성하는 단계와;

상기 결과물 전면에 유전막을 형성하는 단계와;

커패시터 형성부를 한정하는 마스크를 이용하여 커패시터 형성부를 제외한 영역의 상기 유전막을 제거하는 단계; 및

상기 층간 절연막 상의 소정 부분에 상기 도전성 플러그와 연결되는 제 2 배선 라인과 상기 유전막과 연결되는 상부전극을 동시에 형성하는 단계로 이루어진 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

【청구항 13】

제 12항에 있어서, 상기 스페이서는 W 재질의 도전성막으로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

【청구항 14】

제 12항에 있어서, 상기 유전막은 산화막이나 질화막의 단층 구조나 이들이 조합된 적층막 구조로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

【청구항 15】

제 14항에 있어서, 상기 산화막은 PEOX, P-SiH₄, HDP 중 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

【청구항 16】

제 14항에 있어서, 상기 질화막은 PESiN으로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

【청구항 17】

제 14항에 있어서, 상기 적층막은 "산화막/질화막" 구조의 적층막, "질화막/산화막

" 구조의 적층막, "산화막/질화막/산화막" 구조의 적층막, "질화막/산화막/질화막" 구조의 적층막 중 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

【청구항 18】

제 12항에 있어서, 상기 하부전극과 상기 상부전극은 Al 합금이나 Cu 합금으로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

【청구항 19】

제 18항에 있어서, 상기 하부전극과 상기 상부전극은 상기 Al 합금이나 상기 Cu 합금 상면에 각각 반사 방지막이 더 구비되도록 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

【청구항 20】

제 19항에 있어서, 상기 반사 방지막은 Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N의 단층 구조나 이들이 조합된 적층막 구조로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

【청구항 21】

제 18항에 있어서, 상기 하부전극과 상기 상부전극은 상기 Al 합금이나 상기 Cu 합금 하면에 각각 장벽 금속막이 더 구비되도록 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

【청구항 22】

제 21항에 있어서, 상기 장벽 금속막은 Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N,

W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N의 단층 구조나 이들이 조합된 적층막 구조로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

【청구항 23】

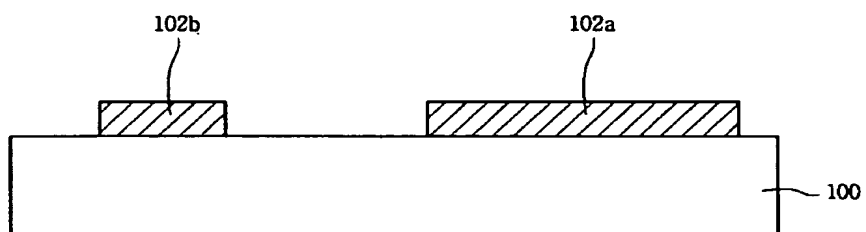
제 12항에 있어서, 상기 제 1 및 제 2 비어 홀 형성후 RF 스퍼터 식각 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

【청구항 24】

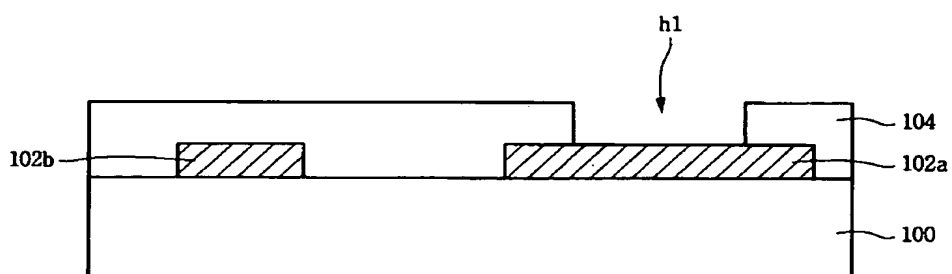
제 12항에 있어서, 상기 층간 절연막은 건식식각 공정이나 습식식각 공정 혹은 이들이 조합된 식각 공정을 이용하여 선택식각하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

【도면】

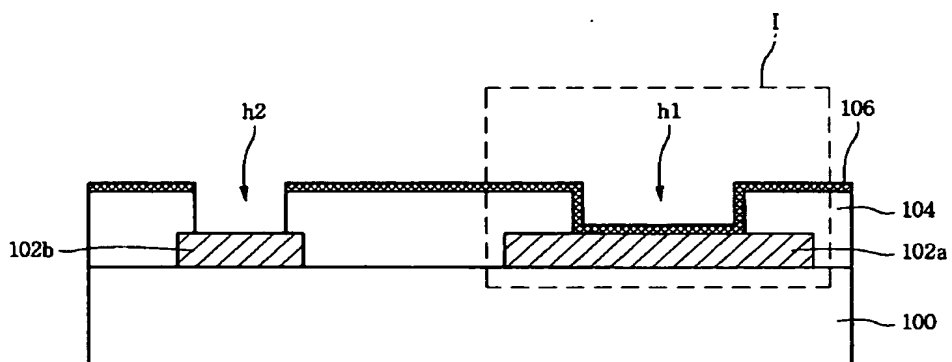
【도 1】



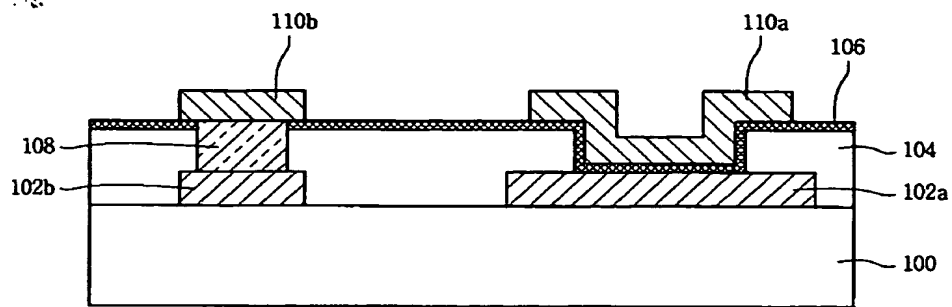
【도 2】



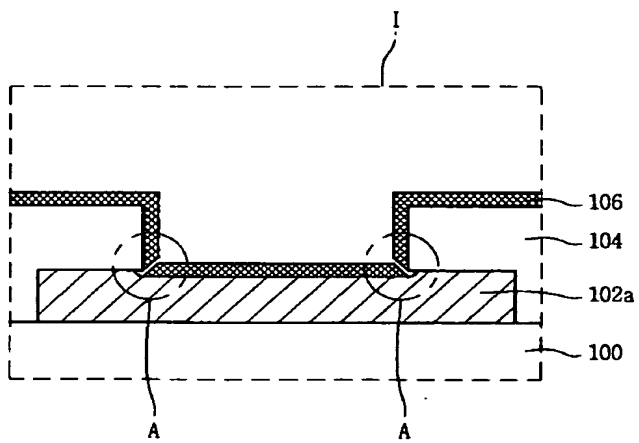
【도 3】



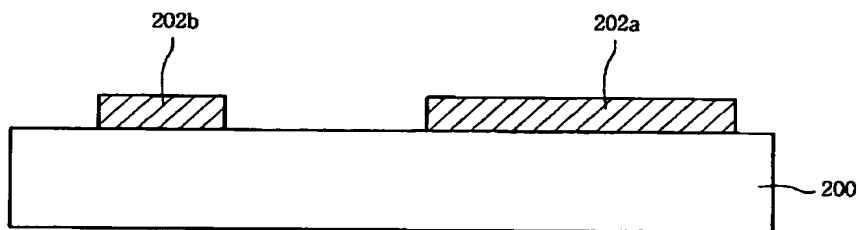
【도 4】



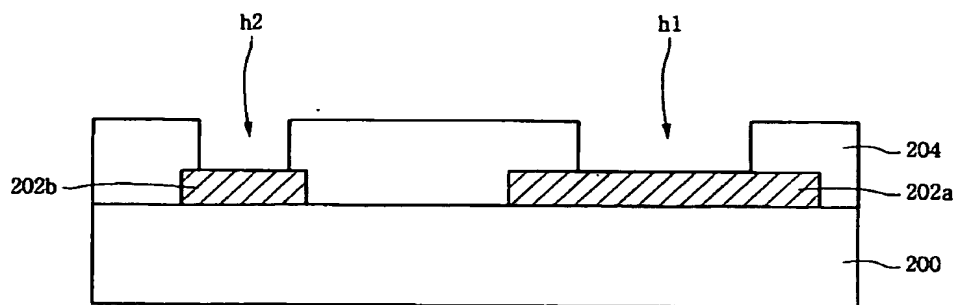
【도 5】



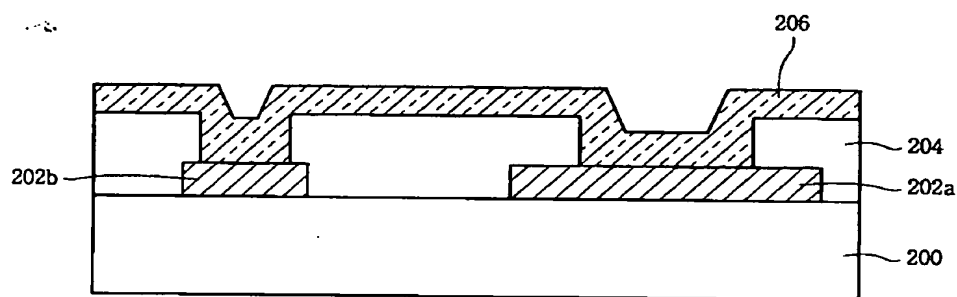
【도 6】



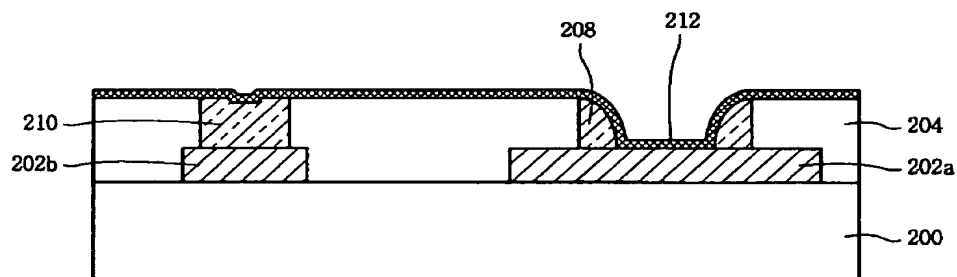
【도 7】



【도 8】



【도 9】



【도 10】

